

PAT-NO: JP409283729A

DOCUMENT-IDENTIFIER: JP 09283729 A ✓

TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT

PUBN-DATE: October 31, 1997

INVENTOR-INFORMATION:

NAME

AZUMA, MOTOO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

OLYMPUS OPTICAL CO LTD

N/A

APPL-NO: JP08118215

APPL-DATE: April 17, 1996

INT-CL (IPC): H01L027/118

ABSTRACT:

PROBLEM TO BE SOLVED: To enable the test of the connection condition between a mounting board and chip by forming all external signal I/O pins of a semiconductor integrated circuit in the form of FPGA structure to reduce the number of required pins.

SOLUTION: A full-custom structure or masked gate array structure 1 is surrounded with an FPGA structure 2 which is composed of intermediate pins for connecting this structure 2 to the structure 1, I/O blocks 4 having FPGA structures, and interconnection region 6 for interconnection of function blocks 5 according to programs. The FPGA structure 2 is programmed to lead signals from general cores 7 to outer input/output terminals. This eliminates the need of additional terminals or circuit for testing the cores 7. If a semiconductor integrated circuit contains many multi-pin cores 7, the outer terminals of the circuit itself can be reduce to reduce the size.

COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-283729

(43) 公開日 平成9年(1997)10月31日

(51) Int.Cl.⁶

H 0 1 L 27/118

識別記号

庁内整理番号

F I

H 0 1 L 21/82

技術表示箇所

M

審査請求 未請求 請求項の数5 F D (全 6 頁)

(21) 出願番号 特願平8-118215

(22) 出願日 平成8年(1996)4月17日

(71) 出願人 000000376

オリンパス光学工業株式会社

東京都渋谷区幡ヶ谷2丁目43番2号

(72) 発明者 東 基雄

東京都渋谷区幡ヶ谷2丁目43番2号 オリ

ンパス光学工業株式会社内

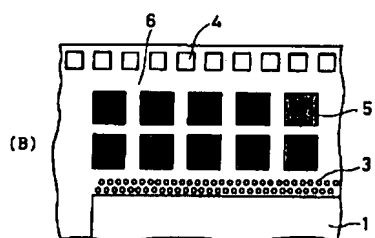
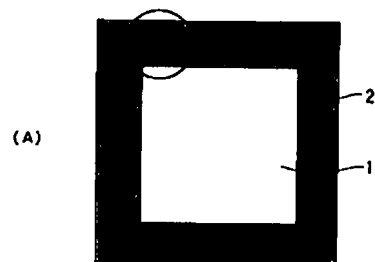
(74) 代理人 弁理士 最上 健治

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 必要となる I/O ピン数を削減でき、更に実装基板とチップとの接続状態をテストすることの可能な半導体集積回路を提供する。

【解決手段】 チップの中央部分に配置されたフルカスタム構造部又はマスクドゲートアレイ構造部1と、該構造部1を取り囲む形で周辺に配置された F P G A 構造部2とからなり、該 F P G A 構造部2を、構造部1と F P G A 構造部2を接続するために設けられた中間ピン3と、 F P G A 構造部をもった I/O ブロック4と、回路機能を実現する最小単位からなる F P G A の機能ブロック5と、中間ピン3と I/O ブロック4と機能ブロック5とをプログラムにより相互接続するための配線領域6とで構成して、半導体集積回路を構成する。



- 1 : フルカスタム構造部又はマスクドゲートアレイ構造部
- 2 : F P G A 構造部
- 3 : 中間ピン
- 4 : F P G A 構造の I/O ブロック
- 5 : 機能ブロック
- 6 : 配線領域

【特許請求の範囲】

【請求項1】 フルカスタム構造部又はマスクドゲートアレイ構造部と、FPGA構造部とを同一集積回路基板内に設けた半導体集積回路において、半導体集積回路の外部信号I/Oピンは、全てFPGA構造で構成されていることを特徴とする半導体集積回路。

【請求項2】 FPGA構造で構成されているI/Oバッファ部を備え、該I/Oバッファ部は互いにシフトレジスタ構造を構成することが可能なフリップフロップを内蔵していることを特徴とする請求項1記載の半導体集積回路。

【請求項3】 フルカスタム構造部又はマスクドゲートアレイ構造部の周辺にFPGA構造部を設け、フルカスタム構造部又はマスクドゲートアレイ構造部とFPGA構造部との接続は、FPGA構造部に設けた位置固定の中間ピンにハードワイヤーで配線することにより形成されていることを特徴とする半導体集積回路。

【請求項4】 請求項1記載の外部信号I/Oピン及び又は請求項2記載のI/Oバッファ部を備え、請求項3記載の中間ピンによりフルカスタム構造部又はマスクドゲートアレイ構造部とFPGA構造部が結合されていることを特徴とする半導体集積回路。

【請求項5】 フルカスタム構造部又はマスクドゲートアレイ構造部は、それぞれ独立したメモリ、MPU、演算器などの汎用コアで構成され、これら汎用コアの相互接続配線及び制御回路部はFPGA構造部で構成されていることを特徴とする請求項1～4のいずれか1項に記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、チップの機能がプログラマブルな半導体集積回路に関する。

【0002】

【従来の技術】近年、一般のマスクドゲートアレイに代表されるマスクドASIC (Application Specific IC) に対して、ユーザが設計現場で所望の回路をプログラムして、そのまま使用できるPLD (Programmable Logic Device) やFPGA (Field Programmable Gate Array) などのプログラマブルASICが注目されている。このうちFPGAは、上記一般のマスクドゲートアレイに比べて、ユーザが手元で簡単に所望の回路をプログラムできるために、開発の手間、費用、期間等を大幅に低減することができる。しかし、現時点ではFPGAは、マスクドゲートアレイと比較して動作速度が遅く、回路が占めるチップ面積が大きくなってしまいう問題点を持っており、実現可能な回路に制限がある。このため、試作用途や多品種少量生産の製品に適用される場合がほとんどであった。

【0003】これに対して、マスクドゲートアレイの有する動作速度が速く、大規模回路を実現できるという利

点と、FPGAの有する開発の簡易性の両方の長所を活かすことを目的として、マスクドゲートアレイとSRAM型のFPGAを同一チップ内に設けることについては、特開平2-177364号公報に開示されており、更に前記FPGAの配線情報を記録したROMを前記チップに接続する構成については、特開平6-275718号公報に開示されている。

【0004】

【発明が解決しようとする課題】しかしながら、上記公報記載の従来技術においては、FPGA構造を持つ部分がチップ上のどの部分を占めることが有効な構成となるかという観点、及びチップが実装される基板のテスト方法という観点については、何も考慮がなされていない。また従来技術においては、マスクドゲートアレイ構造部とFPGA構造部との位置関係や接続方法、及びチップ自身のステット方法という観点についても考慮がなされていない。更には、従来技術においては、マスクドゲートアレイ構造部とFPGA構造部の機能の切り分けに関して、一部回路機能が異なる部分又はタイミングの微調整回路部分をFPGA構造部に割り当てることを開示している。しかし、このような機能の切り分けでは、作成される半導体集積回路は、まだ特定用途向けのASIC (特定用途向け専用IC) としての位置付けの範囲を出ないものである。

【0005】本発明は、従来技術における上記問題を解消するためになされたもので、請求項1及び2記載の発明は、必要となるI/Oピン数を削減したり、回路仕様変更に対してより柔軟に対応でき、更に実装基板とチップとの接続状態をテストすることも可能な高性能半導体集積回路を低コストで実現することを目的としている。また、請求項3及び4記載の発明は、完成後のチップの修正に関する自由度を高めること、及びチップのテストを付加I/Oピンや付加回路なしに実施できる半導体集積回路を提供することを目的とする。また、請求項5記載の発明は、チップの適用範囲を更に拡大でき、高性能で自由度のある汎用ASSP (Application Specific Standard Product: 特定用途向け標準IC) となる半導体集積回路を安価に提供することを目的としている。

【0006】

【課題を解決するための手段】上記問題点を解決するため、請求項1記載の発明は、フルカスタム構造部又はマスクドゲートアレイ構造部と、FPGA構造部とを同一集積回路基板内に設けた半導体集積回路において、半導体集積回路の外部信号I/Oピンを、全てFPGA構造で構成するものである。

【0007】このように半導体集積回路の外部I/Oピンを全てプログラム可能なFPGA構造とすることにより、I/Oピン仕様が確定する前にデバイスを製造することが可能になる。したがって、半導体集積回路のチップ周辺回路の開発とチップのフルカスタム構造部又はマ

スクドゲートアレイ構造部の製造までの開発を、独立して進めることが可能になる。また、外部I/Oピン部分がFPGA構造であるため、入出力ピンから等距離にフリップフロップを配置することが可能になり、周辺回路とのタイミング設計が容易になる。

【0008】請求項2記載の発明は、請求項1記載の半導体集積回路において、FPGA構造で構成されているI/Oバッファ部を備え、該I/Oバッファ部は互いにシフトレジスタ構造を構成することが可能なフリップフロップを内蔵していることを特徴とするものである。これにより、実装基板とチップとの接続態様を付加回路なしでテストすることが可能な半導体集積回路を実現することができる。

【0009】請求項3記載の発明は、フルカスタム構造部又はマスクドゲートアレイ構造部の周辺にFPGA構造部を設け、フルカスタム構造部又はマスクドゲートアレイ構造部とFPGA構造部との接続を、FPGA構造部に設けた位置固定の中間ピンにハードワイヤーで配線することにより形成するものである。

【0010】このように、FPGA構造部側に中間ピンを設けることにより、外部信号I/Oピンへ送られる信号は必ずFPGA構造部分を通ることになる。前記中間ピンはI/Oパッドを必要としないため、非常に多ピン化でき、したがって、これらの中間ピンをFPGA構造部で切り換えて、実際のI/Oピンに接続する構造を実現することができる。また、FPGA部分は必要に応じて動作モード毎に再プログラミングして利用する構成にもできるので、多数の信号を選択出力する場合にもセレクト回路の遅延を考えなくてもよい。そして、上記構成は、I/Oピンの多ピン化を抑制する有効手段にもなるため、FPGA構造実現のためのチップ面積の増大効果よりも、むしろ省ピン化による小型化に寄与できる。

【0011】請求項4記載の発明は、請求項1記載の半導体集積回路における外部信号I/Oピン及び又は請求項2記載の半導体集積回路におけるI/Oバッファ部を備え、且つ請求項3記載の半導体集積回路における中間ピンによりフルカスタム構造部又はマスクドゲートアレイ構造部とFPGA構造部を結合して構成するものである。このように構成することにより、I/O仕様や制御回路等の詳細仕様、コアの接続関係などが確定する前に、チップの製造が開始でき、また仕様変更や不具合対策もユーザの手元で簡単にできる。

【0012】請求項5記載の発明は、請求項1～4記載のいずれか1項に記載の半導体集積回路において、フルカスタム構造部又はマスクドゲートアレイ構造部を、それぞれ独立したメモリ、MPU、演算器などの汎用コアで構成し、これらの汎用コアの相互接続配線及び制御回路部をFPGA構造部で構成するものである。

【0013】このように構成することにより、ユーザの手元でプログラムできるため、非常に汎用性が高く且つ

高性能で低コストなASSPを実現することが可能となる。また、FPGA構造部をインサーキットプログラミング可能な構造にすることにより、動作モード毎に専用回路化して利用することも可能になる。また、FPGA構造部をテスト用にプログラムすることにより、コア部分のテストには、I/Oピンも専用付加回路も必要としない。

【0014】

【発明の実施の形態】次に、実施の形態について説明する。図1の(A)は、本発明に係る半導体集積回路の第1の実施の形態を示す概略図で、図1の(B)は、図1の(A)の○印部分を拡大して示す図である。この実施の形態は、請求項1, 3, 4記載の各発明に対応するもので、図1の(A)において、1はチップの中央部分に配置されているフルカスタム構造部又はマスクドゲートアレイ構造部であり、2はフルカスタム構造部又はマスクドゲートアレイ構造部1を取り囲む形で周辺に配置された、例えばザイリンクス社のLCAのようなものからなるFPGA構造部である。図1の(B)において、3はフルカスタム構造部又はマスクドゲートアレイ構造部1とFPGA構造部2を接続するためにFPGA構造部2に設けられた中間ピン、4は入力/出力/双方向構造やトライステート構造、プルアップ/プルダウン、電圧レベル等を自由にプログラミングできるFPGA構造部を持ったI/Oブロックであり、内部に入力ラッチ、出力ラッチのいずれにも利用可能なフリップフロップを内蔵している。5は回路機能を実現する最小単位からなるFPGAの機能ブロックであり、プログラミング可能な組み合わせ回路やフリップフロップからなり、6は中間ピン3、I/Oブロック4、機能ブロック5をプログラムにより相互接続するための配線領域である。

【0015】上記の構成において、中間ピン3は位置が固定された導体から構成されており、この中間ピンにプログラム可能なFPGA構造部への配線が接続されている。また、フルカスタム構造部又はマスクドゲートアレイ構造部1の入出力信号も、メタル配線等により全てこの中間ピン3に接続される。なお、中間ピン3は、半導体チップにおけるI/Oパッドのように、ワイヤーボンディングやウエハー検査のための針を接続する必要がないため、非常に微細な構造で作成することが可能である。したがって、非常に多くの中間ピンを設けることが可能である。この特徴を利用して、フルカスタム構造部又はマスクドゲートアレイ構造部1は非常に多くの外部ピンを持つ構造が可能になる。

【0016】次に、この実施の形態の動作について説明する。実際のシステム設計においては、プリント基板とこれに実装されるASICは、回路が完成してから実際の現物を入手できるまでに長い時間が必要となる。したがって、システム全体の開発に先行して、プリント基板とこれに実装されるASICは並行開発されることが多

い。そして、この場合双方の設計の進捗状況が影響を与え合い、開発速度を低下させている。また、完成後の不具合も、このI/O部分に発生することが多い。これに対して、本実施の形態の構造をとることにより、全てのI/Oピン及びこれに接続される部分は、FPGA構造で構成されることになる。このため、この部分は回路設計を実施するユーザが手元で自由にプログラミングすることが可能である。したがって、この部分の仕様が完全に固まっていなくても、時間がかかるASICの製造やプリント基板の製造に着手でき、開発効率が向上する。また、たとえ不具合が発生しても、これを解決するための回路修正がきわめて容易である。

【0017】また、フルカスタム構造部又はマスクドゲートアレイ構造部に作成した回路の検査においても、FPGA構造部をテスト用に自由にプログラム可能であるため、専用のテスト端子が不用であり、テスト回路による規模の増大や遅延時間を考慮する必要がない。また、端子を自由に設定できるので、半導体テストのフィクチャーボードやテストプログラムの構成を統一することも可能である。

【0018】次に、第2の実施の形態について説明する。この実施の形態は請求項2記載の発明に対応するもので、図2の(A)、(B)、(C)は本実施の形態におけるFPGA構造のI/Oブロックを示す図である。図2の(A)、(B)、(C)において、4は前記I/Oブロック、11はI/Oブロック4に内蔵されているフリップフロップであり、例えばザイリンクス社のLCAのように、入力、出力のいずれにも共用できる構成を有している。12は、隣接するこれらのフリップフロップ11間を接続し、シフトレジスタ構造を実現するための専用配線、13はテスト時に前記専用配線12を通じてフリップフロップ11に信号入力するための専用端子、14はテスト時にフリップフロップ11から前記専用配線12を通じて信号出力するための専用端子、15は外部入出力端子、16は内部入出力端子、17はクロック入力端子、18はクロック配線、19は外部入力端子、20は外部出力端子、21は入力ブロック、22は出力ブロックである。そして、図2の(A)はプリント基板検査を実施する際のI/Oブロックの第1の状態を示しており、図2の(B)は、プリント基板検査を実施する際のI/Oブロックの第2の状態を示しており、また図2の(C)は、通常使用時におけるI/Oブロックの状態を示している。なお、この3つの接続状態は、外部信号入力手段等により切り換えられるように構成されている。

【0019】次に、この実施の形態の動作について説明する。本発明において対象としているような半導体集積回路は、非常に多ピンであるため、プリント基板への実装時に半田づけ不良を起こす可能性が高い。しかし、通常の動作チェックのみで、半田づけ不良を発見し不良個所を特定することは極めて困難である。このため、特殊

なフリップフロップなどからなるスキャン回路を挿入して、不良個所を検出する方法が知られている。本実施の形態は基本的にはこれと同様のものであるが、I/OブロックがFPGA構造であり、フリップフロップを内蔵していることを利用して、これをスキャン回路に応用するための専用配線を設けたことを特徴とするものである。

【0020】次に、この検査方法を簡単に説明する。まず、外部入力端子と外部回路との断線、及び隣接する外部入力端子又は外部出力端子等との短絡の検査から説明する。図2の(B)に示す第2の接続状態において、外部から全ての外部入力端子19に信号を印加する。この状態で、クロック配線18にクロック信号を印加する。この動作により、入力された信号は各フリップフロップで構成されたシフトレジスタ回路を順次転送される。そして、シフトレジスタ回路の最終段の信号値を入力した信号値と比較することにより、断線、及び隣接する外部入力端子又は外部出力端子等との短絡の検査が実施できる。

【0021】次に、外部出力端子20の断線、及び隣接する外部入力端子又は外部出力端子等との短絡の検査については、まず図2の(A)に示す第1の接続状態でシフトレジスタ回路の初段から任意の入力信号パターンを印加し、これに同期してクロック配線18にクロック信号を印加する。これによりシフトレジスタ回路の各段を構成する各フリップフロップに、任意のパターンを設定する。この状態で図2の(B)に示す第2の接続状態に切り換えることにより、これらのパターンが外部に出力され、外部においてこの信号を入力パターンと比較することにより、断線や短絡の検査ができる。なおシフトレジスタ回路の初段だけは、図2の(A)の接続状態でも専用の外部入力端子に接続される構造にすれば、このパターンは外部から印加することが可能である。

【0022】次に、本発明の第3の実施の形態を図3に基づいて説明する。この実施の形態は請求項5記載の発明に対応するもので、図3において、1はフルカスタム構造部又はマスクドゲートアレイ構造部で、2はFPGA構造部であり、フルカスタム構造部又はマスクドゲートアレイ構造部1は全て汎用性のあるメモリ、MPU、DSP、演算器、エンコーダ/デコーダ等のコア7によって構成されている。そして、これらのコア7は互いに独立しており、相互接続されていない。なお、電源やグラウンド、クロック、リセット等の共通信号は相互接続されていてもかまわない。そして、これらの個々のコア7の信号端子は、全て中間ピン3に接続するように構成する。そして、個別の汎用コア7の相互接続及び制御回路は、全てFPGA構成部2により実現するように構成されている。

【0023】次に、このように構成された実施の形態の作用効果について説明する。上記のように構成し、FP

GA構造部2を、汎用コア7からの信号を外部入出力端子に導くようにプログラミングすることにより、各コア7の検査のための付加端子や付加回路は必要なくなる。したがって、多ピンのコア7を数多く内蔵していても、半導体集積回路自身は外部端子を少なくして、小型化することができる。また、ASICとして利用する場合、利用するコア（この場合は汎用性がなくてもよい）が決定した時点で製造を開始できるため、現状のエンベデッド構造を持つゲートアレイよりも早期に製造に着手できる。また、中間ピン3は非常に多ピン化が可能のため、いままでは不可能だったコア7の内部信号を出力することも可能になる。更に、コア7の部分はフルカスタム構造で最適化することが可能であるため、非常に高速、高集積化を実現することができる。なお開発期間の短縮がより要求される場合には、コア部分をマスクドゲートアレイ構造にすることにより実現できる。また非常に汎用性の高いASSPチップが実現でき、回路設計や変更が簡単にできる。なおまた、テスト用を含む複数のFPGA構造のプログラムを内蔵したROMをコアとして内蔵する構成をとることも非常に容易である。

【0024】

【発明の効果】以上実施の形態に基づいて説明したように、請求項1記載の発明によれば、I/Oピン仕様が確定する前にデバイスを製造することが可能となり、半導体集積回路のチップ周辺部の開発とチップのフルカスタム構造部又はマスクドゲートアレイ構造部の製造までの開発を、独立して進めることが可能となる。請求項2記載の発明によれば、チップとこれを搭載する基板との接続態様を付加回路なしでテストすることが可能な半導体集積回路を実現することができる。請求項3記載の発明によれば、多ピン化された中間ピンをFPGA構造部で切り換えて、実際のI/Oピンに接続する構造を実現することができ、省ピン化による小型化を図ることができる。請求項4記載の発明によれば、I/O仕様や制御回路等の詳細な仕様、コアの接続関係などが確定する前

に、チップの製造が開始でき、また仕様変更や不具合対策もユーザの手元で簡単に行うことが可能となる。請求項5記載の発明によれば、ユーザの手元でプログラムできるため、汎用性が高く且つ高性能で低コストのASSPを実現することが可能となり、またFPGA構造部をテスト用にプログラムすることにより、コア部分のテストには、I/Oピンも専用付加回路も必要としない。

【図面の簡単な説明】

【図1】本発明に係る半導体集積回路の第1の実施の形態を示す図である。

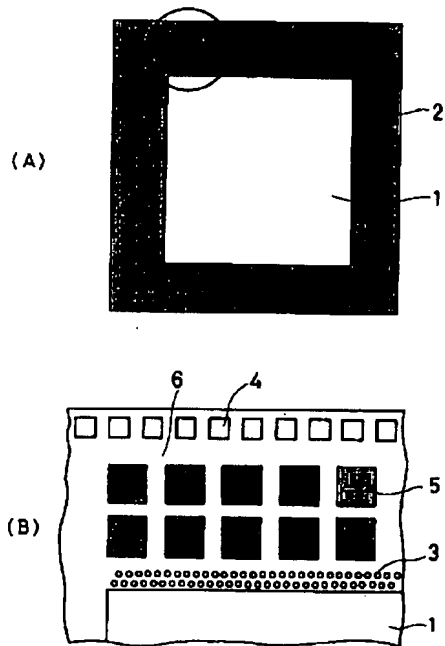
【図2】本発明の第2の実施の形態におけるFPGA構造のI/Oブロックを示す図である。

【図3】本発明の第3の実施の形態を示す図である。

【符号の説明】

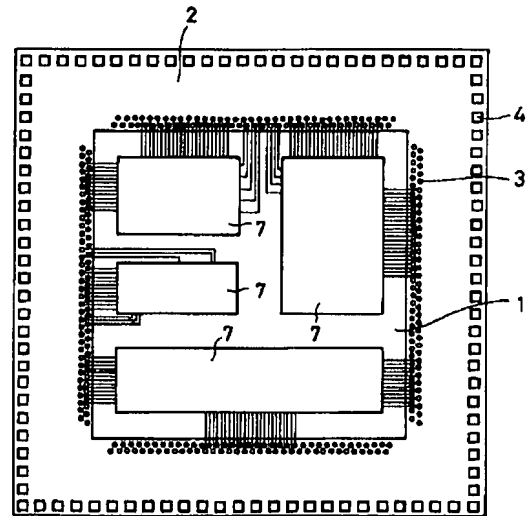
- 1 フルカスタム構造部又はマスクドゲートアレイ構造部
- 2 FPGA構造部
- 3 中間ピン
- 4 FPGA構造のI/Oブロック
- 5 機能ブロック
- 6 配線領域
- 7 コア
- 11 I/Oブロック内蔵のフリップフロップ
- 12 基板テスト用シフトレジスタ構造専用配線
- 13 テスト専用入力端子
- 14 テスト専用出力端子
- 15 外部入出力端子
- 16 内部入出力端子
- 17 クロック入力端子
- 18 クロック配線
- 19 外部入力端子
- 20 外部出力端子
- 21 入力ブロック
- 22 出力ブロック

【図1】



- 1: フルカスタム構造部又はマスクドゲートアレイ構造部
 2: F P G A構造部
 3: 中間ピン
 4: F P G A構造のI/Oブロック
 5: 機能ブロック
 6: 配線領域

【図3】



7: コア

【図2】

